

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-144609

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

H03L 7/093

H03L 7/107

H03L 7/187

(21)Application number : 11-324692

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 15.11.1999

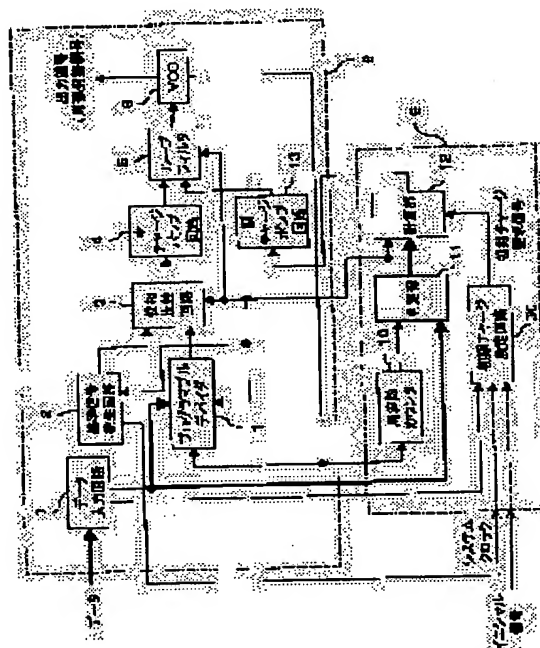
(72)Inventor : KANAYAMA HIROYOSHI

(54) PLL SYNTHESIZER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a PLL synthesizer circuit whose output frequency can quickly be changed and that can prevent production of a noise.

SOLUTION: In the case of changing the output frequency of the PLL synthesizer circuit, a control system by a sub charge pump circuit 13 is adopted for the control of a VCO 6 and discriminates whether or not a difference of frequency division data before and after the change is within a prescribed range. When the difference is at the outside of the prescribed range, a loop filter 5 is forcibly charged by a charge time in proportion to the difference between the frequency division data. Furthermore, an initial charge setting circuit 30 gives a charge request signal to a calculation section 12 at application of power or the like so as to forcibly increase a control voltage of the VCO 6. Thus, the control voltage reaches 0V at the start of operation so as to prevent the occurrence of a deadlock.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-144609

(P2001-144609A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl.⁷

H03L 7/093

7/107

7/187

識別記号

F I

H03L 7/08

7/10

7/18

ターム(参考)

E 5J106

E

D

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号

特願平11-324692

(22) 出願日

平成11年11月15日 (1999.11.15)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 金山 浩佳

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100075258

弁理士 吉田 研二 (外2名)

Fターム(参考) 5J106 AA04 BB04 BB10 CC01 CC24

CC41 DD32 DD42 DD43 DD48

EE09 GG01 GG04 GG07 GG09

HH03 HH09 KK03 KK29 PP03

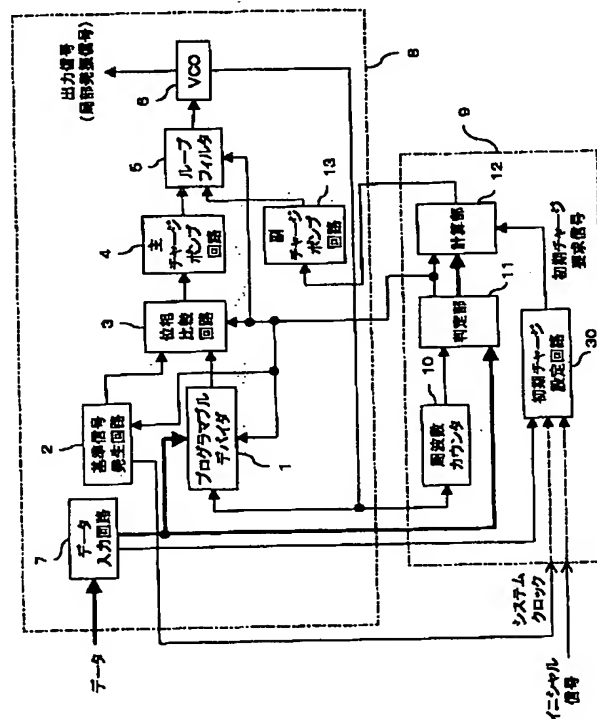
QQ09 RR12

(54) 【発明の名称】 PLLシンセサイザ回路

(57) 【要約】

【課題】 PLLシンセサイザ回路の出力周波数を素早く変更するとともに、ノイズ発生を防止する。

【解決手段】 周波数変更しようとするとき、VCO6の制御を副チャージポンプ回路13による制御システムとし、変更前後の分周データの差が所定範囲内か否か判定する。所定範囲外であると、前記分周データの差に比例したチャージ時間によって強制的にループフィルタ5をチャージする。また、初期チャージ設定回路30は、電源投入時などにチャージ要求信号を計算部12に送り、VCO6の制御電圧を強制的に高くする。これによって、動作開始時において、制御電圧が0Vとなり、デッドロックしてしまうことを防止できる。



【特許請求の範囲】

【請求項 1】 入力データに対応した周波数の出力信号を生成する PLL 回路と、

この PLL 回路の出力信号の周波数と、前記入力データに対応した周波数との差に応じて前記 PLL 回路の出力周波数を変更させる周波数変更回路と、

を含み、

周波数変更回路は、リセット要求信号に応じて PLL 回路の出力周波数を初期値になるように制御することを特徴とする PLL シンセサイザ回路。

【請求項 2】 請求項 1 に記載の回路において、

前記周波数変更回路は、

リセット要求信号と、周波数設定時に出力されるデータ入力信号との入力に基づき、初期チャージ印加の要求信号を出力する初期チャージ設定回路と、

を含み、

この初期チャージ印加の要求信号に基づき、PLL 回路における出力周波数が初期値になるように制御されることを特徴とする PLL シンセサイザ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、局部発振周波数を高速に切り換えて受信放送局を変更する必要がある RDS ラジオ受信機等に好適な PLL シンセサイザ回路に関する。

【0002】

【従来の技術】一般に、電子チューナーと呼ばれるラジオ受信機においては、局部発振信号を図 5 のような PLL シンセサイザ回路から発生させている。PLL シンセサイザ回路は、従来からよく知られた PLL で構成されている。その為、PLL シンセサイザ回路の通常動作については説明を省略する。

【0003】この PLL シンセサイザ回路において、局部発振信号の周波数を変更する場合の PLL の動作について説明する。まず、受信放送局の周波数に基づいて、プログラマブルデバイダ 1 へその分周比についての分周データが供給される。この分周データにより、プログラマブルデバイダ 1 の分周数を変更され、この出力の位相が変化する。位相比較回路 3 において、基準信号発生回路 2 からの基準信号の位相とプログラマブルデバイダ 1 の出力位相とが基準信号の 1 周期毎に比較され、その位相差に応じて主チャージポンプ回路 4 から誤差信号が発生する。誤差信号はループフィルタ 5 で直流電圧に平滑されることにより VCO（電圧制御発振回路）6 の制御電圧となり、この制御電圧に応じて VCO 6 の発振周波数が変化する。この様にして、プログラマブルデバイダ 1 の出力位相が基準信号の位相に徐々に近づくように、VCO 6 の変更が繰り返し動作する。最終的には上記の 2 つの位相は一致し、PLL 回路がロックし、VCO 6 の発振周波数は分周データに応じたもの、すなわち受信

放送局の周波数に応じたものとなる。

【0004】なお、VCO 6 の出力信号（局部発振信号）は、ミキサにおいて RF 増幅信号と混合され、中間周波数（IF）信号が得られる。IF 信号は常に一定の周波数であり、局部発振周波数が受信放送局に応じて変更される。

【0005】

【発明が解決しようとする課題】従来の PLL シンセサイザ回路では、出力周波数を変更しようとする、基準信号の位相とプログラマブルデバイダ 1 の出力位相とを位相比較し、比較結果に応じた誤差信号を出力する動作を繰り返して行う。一般に、周波数変更を開始してから PLL がロックするまで、上記動作を数百回行う。一方、この動作は、基準周波数の 1 周期毎に行われるため、基準周波数が 50 kHz の場合、一回の動作（位相比較から VCO の発振周波数の変更までの動作）に 20 μ sec かかる。このため、変更開始してから PLL がロックするまでは、20 μ sec \times 数百回の時間がかかることになる。

【0006】ところで、欧州のラジオ放送においては、通常の放送に交通情報を多重して送信することが行われている。この放送は RDS（Radio Data System）放送と呼ばれており、RDS 放送を受信して交通情報を得るには専用のチューナーが必要である。このような RDS チューナーでは、交通情報を利用した様々な機能が付加されている。例えば、交通情報中にはそのプログラムを識別するデータがある。そこで、現在受信中の局が聴取困難になった場合、上記データを使って代替放送局を探して受信するという機能がある。この機能を達成するためには、受信局の聴取中に代替放送局を常にサーチして、代替放送局の存在を把握する必要がある。そして、この代替局のサーチでは、現在聴取中の放送局から他の放送局の周波数に素早く変更し、代替局の RDS データと受信状態とを確認した後、再び現在の受信局に素早く戻る必要がある。

【0007】しかし、図 4 の PLL シンセサイザ回路では、周波数を変更してから PLL がロックするまで長い時間がかかる。従って、代替放送局への周波数変更や現在の放送局への周波数変更の時間が長くなり、その結果現在の受信局の聴取が途切れ聴感上好ましくない状況が作り出されてしまうという問題があった。

【0008】（関連出願）そこで、本出願人は、特願平 10-335875 号において、高速に PLL をロックすることができる PLL シンセサイザについて提案した。この PLL シンセサイザでは、周波数変更回路を有している。

【0009】この周波数変更回路は、前記 PLL 回路の出力周波数をカウントする周波数カウンタと、前記周波数カウンタのカウント値と、前記分周数データとの差が所定範囲内にあるか否かを判定する判定部と、該判定部

3

の判定結果に基づいて前記PLL回路の出力周波数の変化量を計数し、この変化量に応じて副チャージポンプ回路に印加する出力信号幅を計算する計算部とを備えている。

【0010】そして、受信放送局を変更する場合には、判定部がPLL回路におけるVCOの出力周波数に対応する周波数カウンタのカウント値と、チューニングする受信放送局の周波数分周データとを比較して、VCOの出力周波数と受信放送局の周波数の差が所定範囲内かを判定する。そして、所定範囲内でなかった場合には、計算部の計算結果に応じた出力信号を副チャージポンプに印加し、この副チャージポンプの出力をループフィルタを介しVCOに印加する。これによって、VCOの発振周波数が、強制的に受信放送局の周波数に近いものに設定される。このため、その後通常のPLLの動作に戻った場合に、周波数の差は小さくなっており、PLLがロックするまでの期間を大幅に短縮することができる。

【0011】ここで、最近発振源からの不要輻射を押さえるため、VCOの出力振幅はできるだけ小さくする傾向がある。そして、VCOの出力振幅を小さくすると制御電圧が0V付近の小さい電圧ではVCOは発振しない特性になり易い。また、VCOの出力振幅を小さくてもPLL回路内のプログラマブルデバイダや周波数変更回路内の周波数カウンタが動作できるように、アンプのゲインを十分に大きくする必要がある。このように高ゲイン、高周波数特性を持つアンプは、アンプへの入力が無信号時には外来ノイズ、もしくは内部回路のノイズ等により発振する場合がある。

【0012】上述のPLL回路および先に提案の周波数変更回路では、電源を投入した直後は、PLL回路のループフィルタ出力電圧がほぼ0Vであり、VCOへの制御電圧も0Vとなる。このような状態において、電源投入時には、VCO出力が0Vとなり、プログラマブルデバイダや周波数カウンタのアンプが自己発振をしてしまう。そして、この自己発振周波数が、データ入力回路から入力した周波数データよりも高い場合は、周波数変更回路内の判定部にてVCO周波数は高いと判断する。このため、周波数変更回路内の計算部にてVCO周波数を下げるようなチャージ印加信号を副チャージポンプ回路に伝達する。そこで、副チャージポンプ回路は、VCO周波数を下げるようなチャージを印加し、VCOの制御電圧はいつになっても上昇せず、デッドロック状態となる。

【0013】本発明は、上記課題に鑑みなされたものであり、高速にPLLをロックするとともに、電源投入時においても適切な制御が行えるPLLシンセサイザ回路を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明は、入力データに対応した周波数の出力信号を生成するPLL回路と、こ

4

のPLL回路の出力信号の周波数と、前記入力データに対応した周波数との差に応じて前記PLL回路の出力周波数を変更させる周波数変更回路と、を含み、周波数変更回路は、リセット要求信号に応じてPLL回路の出力周波数を初期値になるように制御することを特徴とする。

【0015】このように、本発明によれば、周波数変更回路によりPLL回路の周波数変更を短時間で行える。このため、ラジオ受信機での受信局の変更を短時間で行わせることができる。特に、RDSラジオ受信機での、代替放送局サーチ時では、素早く代替放送局に変更できるので、聴感上の違和感を防止することができる。そして、周波数変更回路が電源投入時等のリセット要求信号発生時において、PLL回路の出力周波数を所定の値になるように制御するため、PLL回路のVCO制御電圧を強制的に上昇することができる。このため、電源投入時のデッドロックによる誤動作を防ぐことができる。

【0016】また、前記周波数変更回路は、リセット要求信号と、周波数設定時に出力されるデータ入力信号との入力に基づき、初期チャージ印加の要求信号を出力する初期チャージ設定回路と、を含み、この初期チャージ印加の要求信号に基づき、PLL回路における出力周波数が初期値になるように制御されることが好適である。このように、データ入力信号が入力されたことに基づいて、初期チャージの印加を始めるため、PLLの周波数の設定を行おうとするタイミングで、初期チャージを印加してPLL回路の出力周波数を制御することができる。

【0017】

【発明の実施の形態】図1は、本発明の一実施の形態を示すブロック図である。

【0018】「周波数変更回路の説明」本実施形態においては、周波数変更回路9を備えている。この周波数変更回路9はVCO6の周波数をカウントする周波数カウンタ10、カウントされた周波数が所定範囲にあるか否かを判定する判定部11、及び判定部11の結果に応じてループフィルタ5の出力レベルを変更させる量を計算する計算部12を含む。さらに、PLL回路8に、計算部12の出力に応じて誤差信号を発生する副チャージポンプ回路13を有している。尚、図1において、図4の従来例と同一の回路については同一の符号を付し、説明を省略する。

【0019】まず、図1の周波数変更動作を図2のフローチャートを参照しながら説明する。データ入力回路7に外部制御回路から分周データの入力があったかを判定する(S1)。入力がなければ、データ入力回路7はデータが入力されるまでデータを待ち受ける状態を継続する。一方、データの入力があると、まずデータ入力回路7は分周データを判定部11のみに入力する。このステップでは、プログラマブルデバイダ1への入力は禁止さ

れている。

【0020】判定部11は、入力された分周データと、分周数変更前の分周データとの差を計算し(S2)、その差が許容される所定範囲内かまたは範囲外か判定する(S3)。なお、判定部11は、前回入力されてきた分周データをそのまま記憶しておき、今回の分周データと比較する。

【0021】分周データの差が所定範囲内にあると判定されると、周波数変更回路9の変更動作は停止されるとともに、データ入力回路7に保持されていた分周データがプログラマブルデバイダ1に入力される。すると、プログラマブルデバイダ1の分周数は変更され、その上で基準信号発生回路2の基準信号とプログラマブルデバイダ1の出力信号との位相が一致するように、VCO6の発振周波数が変更され、PLL回路8がロックするように通常の動作を行う(S4)。

【0022】前記分周数の差が所定範囲外と判定されると、判定部11からリセット信号が発生し、リセット信号によってプログラマブルデバイダ1、基準信号発生回路2及び位相比較回路3がリセットされる。また、停止信号が判定部11から発生し、主チャージポンプ回路4の動作が停止される。さらに、判定部11からのリセット信号に基づいて、ループフィルタ5の時定数が小さくなる方向に変更される。

【0023】また、リセット信号の立ち上がりによって計算部12が起動する。計算部12は、判定部11から転送されてくる分周データの差に基づいて、副チャージポンプ回路13へのチャージ印加時間を計算する。このような分周数変更後最初の計算は、分周の差に比例する時間をチャージ印加時間とするように行われる。つまり、分周数の差をDDとし、チャージ印加時間をTc1とすると、 $Tc1 = \alpha \times DD$ となり、この式によりチャージ時間Tc1を算出する(S5)。

【0024】チャージ印加時間Tc1が算出されると、時間Tc1をパルス幅とするチャージ制御信号を副チャージポンプ回路13に印加する。これに応じて、副チャージポンプ回路13は疑似誤差信号をループフィルタ5に出力する。このような強制チャージによってループフィルタ5の出力電位が変化し、その結果VCO6の発振周波数が変化する(S6)。その後、VCO6の発振周

$$\begin{aligned} Tc2 &= (Tc1 / \Delta F) \times \Delta Da \\ &= (Tc(N-1) / \Delta F) \times \Delta Da = Tc(N) \cdots (1) \end{aligned}$$

という計算式になる。この計算式により、前回の周波数変化で得られた特性に従ってチャージ時間を制御し、より正確にVCO6の出力周波数を制御する。

【0029】チャージ印加時間Tc2が算出されると、時間Tc2をパルス幅とするチャージ制御信号を副チャージポンプ回路13に印加する。これに応じて、副チャージポンプ回路13は疑似誤差信号をループフィルタ5に出力する。するとループフィルタ5の出力電位が変化

波数が安定するのを待って、周波数カウンタ10がVCO6の発振周波数をカウントし始める(S7)。

【0025】周波数カウンタ10のカウント終了後、ステップS2へ戻る。但し、ステップS2において、分周変更後最初の変化周波数の計算は、変更しようとする分周データと変更前の分周データとの差を求めることであったが、2回目以降の判定動作は、周波数カウンタ10のカウント値と設定された分周データとの差を求めることにある。よって、判定部11において、現在のVCO6の発振周波数と、設定しようとするPLL回路の出力周波数との差を得て、その差が所定範囲内にあるか否かが判定される。

【0026】ここで、周波数カウンタ10は、PLL回路の基準信号発生回路2からの基準信号の1周期の期間に入力されてくるVCO6からの局部発振信号の数をカウントする。PLL回路8は、VCOからの局部発振信号をプログラマブルデバイダ1において分周データに基づいて分周し、この分周後の信号が基準信号と同一になるように動作する。従って、PLLがロックされている状態では、基準信号の1周期の期間に入力されてくる局部発振信号の数は、分周データに等しくなる。そこで、判定部11では、周波数カウンタ10のカウント値と、分周データをそのまま比較して、差を求める。

【0027】周波数カウンタ10のカウント値と設定分周データとの差が所定範囲内の場合、リセット信号を解除し、また、主チャージポンプ回路4の動作停止を解除させて、PLL回路8の動作を再開させることによりロックさせる。

【0028】一方、周波数カウンタのカウント値と設定分周データとの差が所定範囲外の場合、その差に基づいてチャージ時間Tc2(または、Tc(N))が計算される。上記した様に分周数変更後最初の計算は、分周の差に比例する時間をチャージ印加時間Tc1(または、Tc(N-1))とするように行われたが、2回目以降の計算では、次に示す計算式によってチャージ時間Tc2が算出される。つまり、前回算出されたチャージ時間をTc(N-1)とし、Tc(N-1)によって変化した発振周波数を ΔF とし、周波数カウンタのカウント値と設定分周データとの差を ΔDa とすると、

【数1】

し、その結果VCO6の発振周波数が変化する。その後、VCO6の発振周波数が安定するのを待って、周波数カウンタ10がVCO6の発振周波数を再びカウントする。周波数カウンタのカウント終了後、再度ステップS2へ戻るが、周波数カウンタ10のカウント値と設定分周データとの差が所定範囲に入るまで、S2からS7の動作を繰り返す。

【0030】上記のように、周波数変更時、周波数変化

に必要なループフィルタ 5 へのチャージ時間を、前回のチャージ時間に対する周波数変化量の結果から、正確に計算できる為、設定周波数に変更するまでのチャージ印加を数回で行わせることができる。よって、設定周波数に変更するまでのチャージ印加が数百回路必要な従来の PLL 回路に比べ、本発明の PLL 回路は周波数変更に必要な時間の短縮が可能である。

【0031】なお、上述の例では、主チャージポンプ回路 4 とは別に副チャージポンプ 13 を設け、この副チャージポンプ回路 13 を計算部 12 により制御して、VCO 6 の発振周波数を PLL 回路の外部から制御した。しかし、計算部 12 からの信号で、主チャージポンプ回路 4 を制御してもよい。すなわち、位相比較回路 3 の動作を禁止した上で、主チャージポンプ回路 4 を上述の副チャージポンプの制御と同様に制御する。これによって、局部発振周波数の変更前後の周波数差が大きい時に、PLL 回路 8 の位相比較回路 3 の出力に代えて、計算部 12 で計算した値に応じた電圧を主チャージポンプ回路 4 から出力できる。そこで、早期に VCO 6 発振周波数を目標値（変更後の放送局の周波数に対応する周波数）に近づけることができる。そして、この方式によれば、副チャージポンプ 13 が不要となる。

【0032】「初期チャージ設定回路の説明」そして、本実施形態では、周波数変更回路内に、電源投入や外部リセット要求時、もしくはその後の周波数設定データ（実際には分周データ）入力時に、VCO の制御電圧を上昇させデッドロックを防止するための初期チャージ設定回路 30 を備えている。

【0033】図 3 に示すように、初期チャージ設定回路 30 は、データ入力回路 7 による周波数設定データ出力時に発生されるデータ入力信号がデータ入力端子に入力され、システムクロックがクロック端子に入力される D フリップフロップ 31 と、この D フリップフロップ 31 の出力がリセット端子に入力され、セット端子にリセット要求信号発生時に発生されるイニシャル信号が入力される RS フリップフロップ 32 と、データ入力信号および RS フリップフロップ 32 の出力が入力されるアンドゲート 33 からなっている。

【0034】そこで、図 4 に示すように、電源投入時等の外部からのリセット要求信号により、回路をイニシャル状態に設定するイニシャル信号が初期チャージ設定回路に入力されると、初期チャージ設定回路内の RS フリップフロップ 32 がセットされ「1」を出力する。この状態において、データ入力回路 7 から周波数設定データの出力を示すデータ入力信号が入力されると、RS フリップフロップ 32 の出力が「1」であるため、アンドゲートからチャージ要求信号が出力される。すなわち、データ入力信号の入力によりアンドゲート 33 から「1」が出力されるが、データ入力信号は D-F/F にも入力され、システムクロックの 1 クロック分だけディレイ

た後、RS フリップフロップ回路をリセットしここから「0」が出力される。そこで、データ入力信号の入力後システムクロックの 1 クロック分だけ「1」となるチャージ要求信号がアンドゲート 33 から出力される。

【0035】このチャージ要求信号は、計算部 12 に供給され、計算部 12 は、判定部 11 からの信号によらず、予め定められた初期チャージを行うように副チャージポンプ回路 13 を制御し、VCO 6 の制御電圧を上昇させる。この場合、初期チャージは、制御電圧が通常印加電圧の最大値程度になるようにし VCO 6 に確実に発振を開始させる。

【0036】また、その後、データ入力回路 7 から周波数設定データの入力を示すデータ入力信号が入力されても、RS フリップフロップ 32 の出力が「0」であるため、チャージ要求信号は出力されず、計算部 12 は図 2 に示した通常のチャージ印加時間を求める計算をおこなう。

【0037】なお、上述の説明では、初期チャージ設定回路 30 は、データ入力信号の入力があつた場合に、チャージ要求信号を出力する。しかし、必ずしもチャージ要求信号の出力をデータ入力信号の入力に同期させる必要はなく、イニシャル信号入力時に計算部 12 が初期チャージを行うようにしてもよい。この場合、判定部 11 において、イニシャル信号入力時の直後における判定を行わないようにしたり、計算部 12 が判定部 11 からの信号を無視すればよい。

【0038】このようにして、本実施形態の回路によれば、リセット時において、VCO 制御電圧を強制的に上昇することができるため、電源投入時のデッドロックによる誤動作を防ぐことができる。

【0039】

【発明の効果】以上説明したように、本発明によれば、PLL の周波数変更を短時間で行えるので、ラジオ受信機での受信局の変更を短時間で行わせることができる。特に、RDS ラジオ受信機での、代替放送局サーチ時では、素早く代替放送局に変更できるので、聴感上の違和感を防止することができる。そして、制御電圧が 0V 付近では発振しない特性の VCO を用いた場合でも、リセット時において、VCO 制御電圧を強制的に上昇することができるため、電源投入時のデッドロックによる誤動作を防ぐことができる。

【図面の簡単な説明】

【図 1】 本発明の実施形態の PLL シンセサイザ回路の構成例を示す回路ブロック図である。

【図 2】 実施形態の回路の動作を説明するフローチャートである。

【図 3】 初期チャージ設定回路の構成を示す回路図である。

【図 4】 初期チャージ設定回路の動作を示すタイミングチャートである。

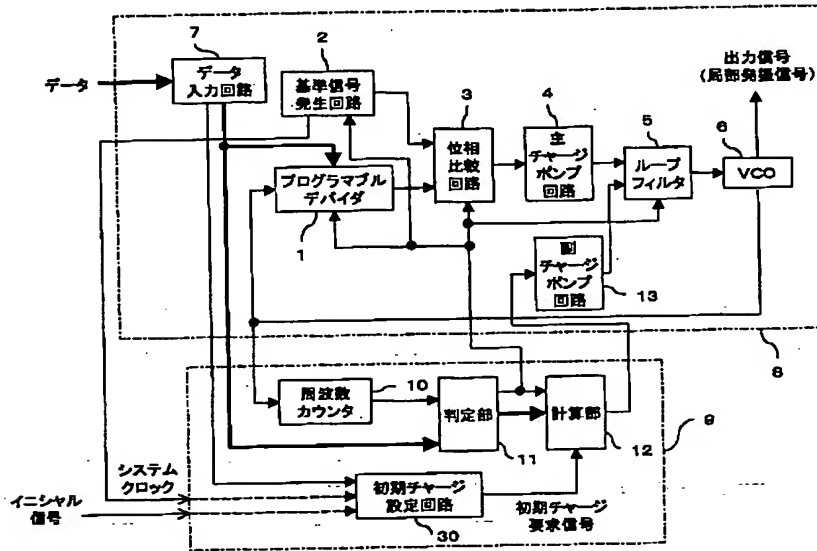
【図5】 従来のPLLシンセサイザ回路の構成例を示す回路ブロック図である。

【符号の説明】

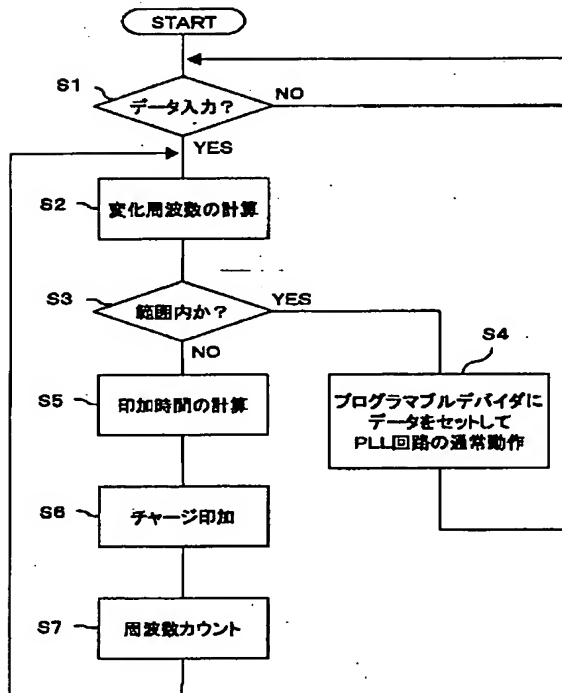
1 プログラマブルデバイダ、2 基準信号発生回路、3 位相比較回路、4 主チャージポンプ回路、5 ループフィルタ、6 電圧制御発振回路 (VCO)、7 デ

ータ入力回路、8 PLL回路、9 周波数変更回路、10 周波数カウンタ、11 判定部、12 計算部、13 副チャージポンプ回路、30 初期チャージ設定回路、31 Dフリップフロップ、32 RSフリップフロップ、33 アンドゲート。

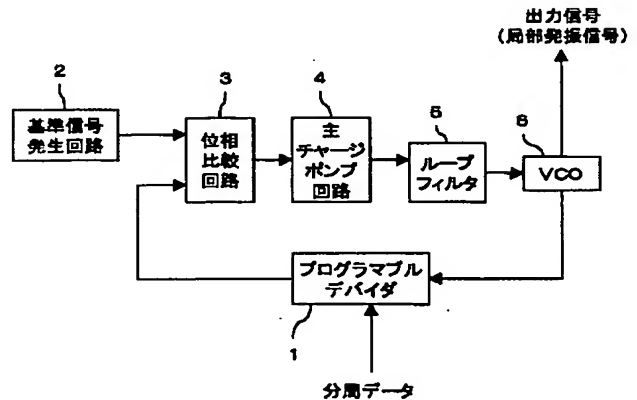
【図1】



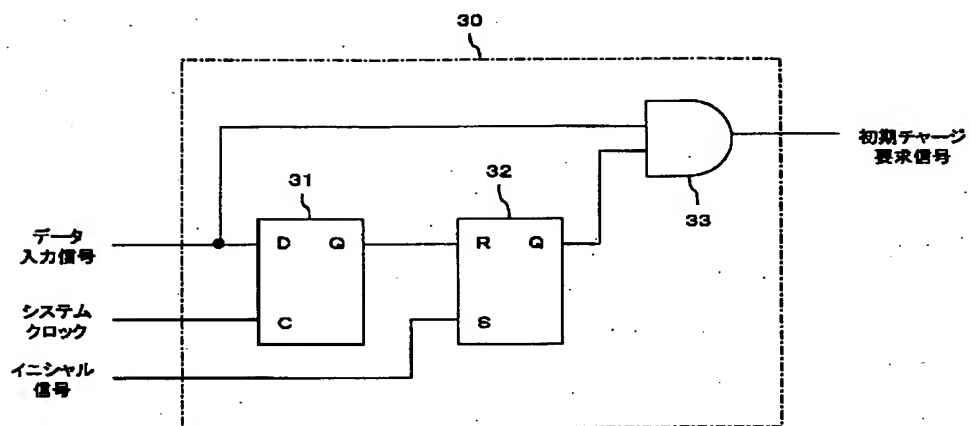
【図2】



【図5】



【図 3】



【図 4】

